

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-155466

(43)Date of publication of application : 28.05.1992

(51)Int.Cl.

G06F 15/16
G06F 11/20

(21)Application number : 02-279247

(22)Date of filing : 19.10.1990

(71)Applicant : FUJITSU LTD

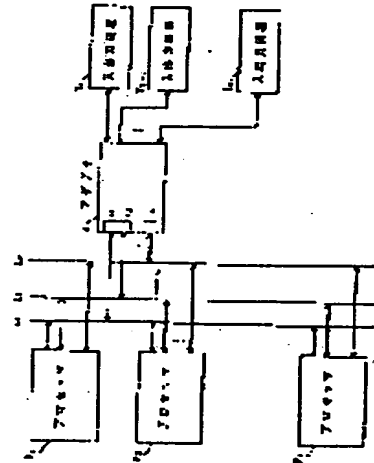
(72)Inventor : WATANABE YUKIO
UCHIDA SHINJI

(54) MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To reduce the generation frequency of abnormality in a transmission line by connecting three bus type transmission lines between plural processors and an adaptor and forming I/O ports corresponding to respective lines in the adaptor so that any transmission line can transmit/receive data to/from respective processors and the adaptor.

CONSTITUTION: In order to transmit/receive information between the adaptor A and plural processors P1 to Pn, three bus type transmission lines L1 to L3 are connected between the I/O terminals of respective processors P1 to Pn and the I/O ports i1 to i3. If abnormality is generated in one transmission line L1 or an I/O port i1, the line L2 e.g. is used for information transmission from respective processors P1 to Pn to the adaptor A and the line L3 is used for information transmission including response information from respective processors P1 to Pn to I/O terminals T1 to Tm. When abnormality is generated also in another transmission line L2 or I/O port i2, bidirection information transmission is executed by the transmission line L3. Consequently, the generation frequency of abnormality in the transmission lines L1 to L3 can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平4-155466

⑤ Int.Cl.⁵G 06 F 15/16
11/20

識別記号

4 7 0 X
3 1 0 C

庁内整理番号

9190-5L
9072-5B

⑬ 公開 平成4年(1992)5月28日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 マルチプロセッサシステム

⑮ 特 願 平2-279247

⑯ 出 願 平2(1990)10月19日

⑰ 発 明 者 渡 辺 幸 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 内 田 真 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 滝野 秀雄 外2名

明 細 書

1. 発明の名称

マルチプロセッサシステム

2. 特許請求の範囲

複数のプロセッサがアダプタを介して各種の入出力装置を共有するようにしたマルチプロセッサシステムにおいて、

上記プロセッサと上記アダプタ間の伝送路として少なくとも3本のバス型伝送路を設けるとともに、アダプタにこれらの伝送路にそれぞれ対応する入出力ポートを設け、それぞれのプロセッサおよびアダプタはこれら伝送路のいずれによっても送受信可能のように構成したことを特徴とするマルチプロセッサシステム。

3. 発明の詳細な説明

(概 要)

複数のプロセッサが1つの入出力アダプタを介して各種の入出力装置を制御するようにしたマル

チプロセッサシステムに関し、

伝送路に異常が生じる頻度を低下させることによって信頼性を向上させるとともに、この伝送路のビジー率を低下させて実質的な処理速度を高めたマルチプロセッサシステムを得ることを目的とし、

複数のプロセッサがアダプタを介して各種の入出力装置を共有するようにしたマルチプロセッサシステムにおいて、上記プロセッサと上記アダプタ間の伝送路として少なくとも3本のバス型伝送路を設けるとともに、アダプタにこれらの伝送路にそれぞれ対応する入出力ポートを設け、それぞれのプロセッサおよびアダプタはこれら伝送路のいずれによっても送受信可能のように構成した。

(産業上の利用分野)

複数のプロセッサが1つの入出力アダプタを介して各種の入出力装置を制御するようにしたマルチプロセッサシステムに関する。

〔従来の技術〕

プロセッサの処理速度が向上するにつれて複数のプロセッサに並列処理を行なわせるとともに、一般に処理速度が遅い入出力装置をこれら複数のプロセッサで共有するようにしたマルチプロセッサシステムが実用されている。

このようなマルチプロセッサシステムの従来の1つの形態として、第3図に例示したように、複数のプロセッサ P_1, P_2, \dots, P_n にバス型伝送路 L を介して接続されたアダプタ A を設け、このアダプタ A に各種の入出力装置 T_1, T_2, \dots, T_m を接続し、これによってこれら各種の入出力装置 T_1, T_2, \dots, T_m をこのアダプタ A を介して複数のプロセッサ P_1, P_2, \dots, P_n で共有するように構成することが行なわれている。

〔発明が解決しようとする課題〕

しかしながら、プロセッサの処理速度がさらに向上するにしたがって、プロセッサからの入出力命令の増大に対処し、また、プロセッサからの入

出力命令に対する入出力装置の応答時間の短縮を図ることの要求が増大し、これによってプロセッサとアダプタ間の上記伝送路 L などの伝送経路におけるビジー率を低下させることの要求が増加している。

したがって、本発明は、伝送路に異常が生じる頻度を低下させることによって信頼性を向上させるとともに、この伝送路のビジー率を低下させて実質的な処理速度を高めたマルチプロセッサシステムを得ることを目的とする。

〔課題を解決するための手段〕

複数のプロセッサがアダプタを介して各種の入出力装置を共有するようにしたマルチプロセッサシステムにおいて、上記プロセッサと上記アダプタ間の伝送路として少なくとも3本のバス型伝送路を設けるとともに、アダプタにこれらの伝送路にそれぞれ対応する入出力ポートを設け、それぞれのプロセッサおよびアダプタはこれら伝送路のいずれによっても送受信可能なように構成した。

〔作用〕

各プロセッサとアダプタ間には少なくとも3つ以上の伝送路を構成することができ、この伝送路の使用割当は、アダプタ内の制御回路が各伝送路およびこのアダプタの入力ポートの状態を常時監視し、その状態に応じて例えば次のようにその割当を決定することができる。

第1図の原理図に示したように、その出力側に各種の入出力装置 T_1, T_2, \dots, T_m が接続されているアダプタ A と複数のプロセッサ P_1, P_2, \dots, P_n との間で情報を送受信するために、各プロセッサの入出力端子とアダプタ A の入出力ポート i_1, i_2, i_3 との間に3つのバス型伝送路 L_1, L_2, L_3 を設けた場合を例に採って説明する。

プロセッサ P_1, P_2, \dots, P_n からアダプタ A への情報伝送量が多いことから、上記3つの伝送路 L_1, L_2, L_3 および入出力ポート i_1, i_2, i_3 のすべてに異常が無い場合には、これら複数のプロセッサ P_1, P_2, \dots, P_n からアダプタ A への伝送路として2つの伝送路例えば L_1, L_2 を使用し、

残る1つの伝送路 L_3 を比較的情報伝送量の少ないアダプタ A から各プロセッサ P_1, P_2, \dots, P_n への伝送路として使用するよう割り当てる。

そして、1つの伝送路あるいは入出力ポート例えば L_1, i_1 に異常が発生した場合には、残る2つの伝送路 L_2, L_3 の一方例えば L_2 を各プロセッサ P_1, P_2, \dots, P_n からアダプタ A への情報伝送に、他方の伝送路 L_3 をアダプタ A から各プロセッサ P_1, P_2, \dots, P_n への入出力装置 T_1, T_2, \dots, T_m からの応答情報などを含む情報伝送に使用するようにする。

さらにもう1つの伝送路あるいは入出力ポート例えば L_2, i_2 にも異常が生じた場合には、残る1つの伝送路 L_3 によって各プロセッサ P_1, P_2, \dots, P_n とアダプタ A 間の双方向の情報伝送を行なうようにする。

したがって、3つの伝送路 L_1, L_2, L_3 およびアダプタ A の入出力ポート i_1, i_2, i_3 の異常によって、3つの伝送路のすべてが使用できないようにならない限りプロセッサシステムの動作は維

持されるから、すべての伝送路に異常が生じた場合にのみアラームによってプロセッサシステムの異常を報知すればよい。

上記のように、伝送路あるいは入出力ポートの異常によってプロセッサシステムがダウンする機会が著しく減少するばかりでなく、各プロセッサからアダプタへの伝送路の上例のように3組あるいはそれ以上多く設定することによって、伝送路ビジーによるプロセッサの待ち時間を短縮してプロセッサシステムとしての処理速度を向上させることができる。

〔実施例〕

第2図は3つのバス型伝送路を設けた本発明によるアダプタの実施例を示すもので、アダプタAに設けられた3つの入出力ポート1₁, 1₂, 1₃は第1図の入出力ポート1₁, 1₂, 1_nに相当するものであって、プロセッサP₁, P₂, ……P_nの入出力端子とバス型伝送路L₁, L₂, L₃を介して接続されている。

に、制御プロセッサ5はメモリ3からこの命令を送出するとともに選択回路4を制御し、この選択回路4によって選択された入出力ポートから所定の入出力装置にプロセッサからの命令を送出して当該入出力装置に命令を実行させる。

〔発明の効果〕

本発明によれば、複数の伝送路をプロセッサからアダプタへの伝送に利用できるため、伝送路あるいは入出力ポートの異常によるシステムダウンの可能性が著しく減少するとともに、複数のプロセッサが同時に命令を出力することが可能となることからプロセッサ間で命令出力の調停を行なう必要がなくなり、さらに、アダプタの入出力ポートがビジー状態にあることによって生じる待ち時間が不用になって入出力命令に対する応答速度が向上するという格別の効果が達成される。

4. 図面の簡単な説明

第1図は本発明の原理を示すブロック図、

これらの伝送路L₁, L₂, L₃あるいは入出力ポート1₁, 1₂, 1₃の状態はこのアダプタ内に設けられた制御プロセッサ5によって常時監視されており、これらに異常が発生すれば、予め設定されている制御プログラムにしたがって選択回路3を切換え、作用の項で説明したように、伝送路L₁, L₂, L₃の使用法をそれぞれ選択・制御する。

各プロセッサP₁, P₂, ……P_nから独立して連続的あるいは単独に出力されてこれらの入出力ポート1₁, 1₂, 1₃に入力した命令などは、選択回路2で選択されてメモリ3に到来順に格納されるが、もし複数のプロセッサから同時に命令が到来したときには、制御プロセッサ5の制御によって入出力ポート1₁, 1₂, 1₃あるいは選択回路2でその受信順序を調停するように構成することができる。

そして、これら命令は制御プロセッサ5で順次解読され、これらの命令自体によって指示された入出力装置に対してこの命令を入出力装置側の入出力ポート6₁, 6₂, 6₃, 6₄を経て出力するため

第2図は本発明によるアダプタの実施例を示す図、第3図は従来例を示すブロック図である。

特許出願人

富士通株式会社

代理人

澄野秀雄

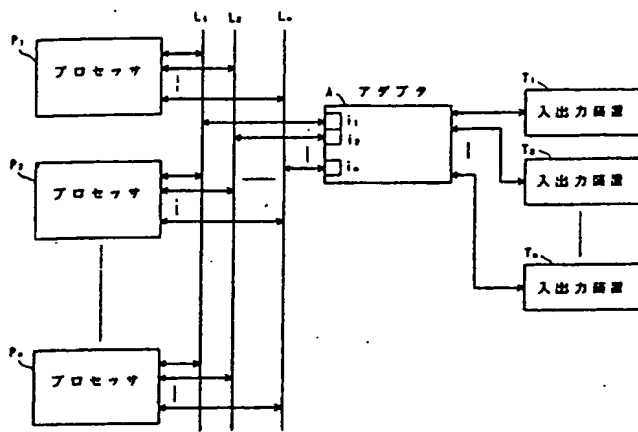
同

中内康雄

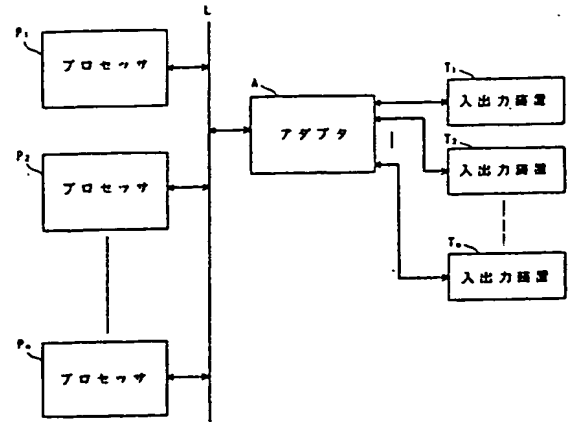
同

有坂 惲

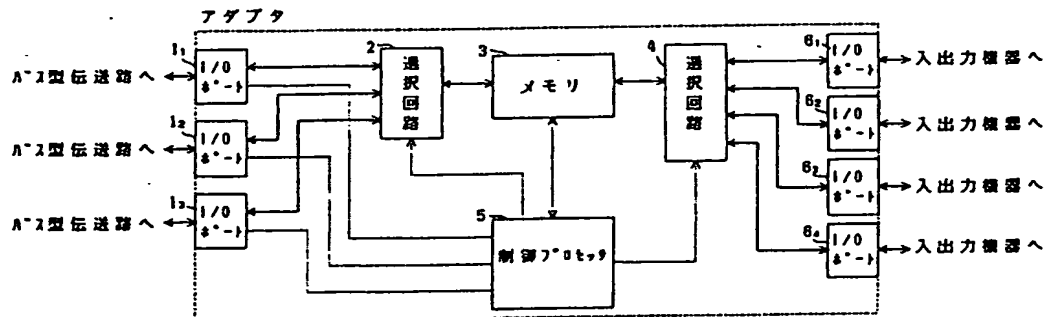




原理図
第 1 図



従来例
第 3 図



アダプタの実施例
第 2 図